

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-005570

(43)Date of publication of application : 12.01.1996

(51)Int.Cl.

G01N 21/88

G01B 11/24

H01L 21/66

H04N 5/335

(21)Application number : 06-156813

(71)Applicant : HITACHI ELECTRON ENG CO LTD

(22)Date of filing :

15.06.1994

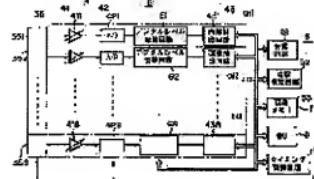
(72)Inventor : MOMIYAMA YOSHIYUKI

(54) LEVEL REGULATION METHOD FOR PATTERN INSPECTION EQUIPMENT

(57)Abstract:

PURPOSE: To regulate the output characteristics of a plurality of data channels in a pattern inspection equipment quickly, accurately and uniformly.

CONSTITUTION: Each image data channel (CH1,..., 8) is provided with a digital level regulation circuit group 6, an image memory 7, an MPU 8 and a timing control circuit 9 and each amplifier 411,..., 418 has a predetermined gain. A test wafer having a uniform reflectance is irradiated with luminous flux and scanned a plurality of times by means of a CCD image sensor 35 while varying the scanning interval through a timing control circuit 9. Every time the test wafer is scanned, test data delivered from the data channels CH1,..., 8 are stored in an image memory 7. An MPU 8 calculates the average level of the test data and determines the correction coefficients for the channels CH1,..., 8 thus setting the digital level regulation circuits 61,..., 68 in the regulation circuit group 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-5570

(43)公開日 平成8年(1996)1月12日

(51)Int.Cl.*

識別記号

序内整理番号

F I

技術表示箇所

G 01 N 21/88

E

G 01 B 11/24

F

H 01 L 21/66

J 7514-4M

H 04 N 5/335

F

審査請求 未請求 請求項の数1 FD (全 5 頁)

(21)出願番号 特願平6-156813

(71)出願人 000233480

日立電子エンジニアリング株式会社
東京都渋谷区東3丁目16番3号

(22)出願日 平成6年(1994)6月15日

(72)発明者 梶山 善幸
東京都千代田区大手町2丁目6番2号 日立電子エンジニアリング株式会社内

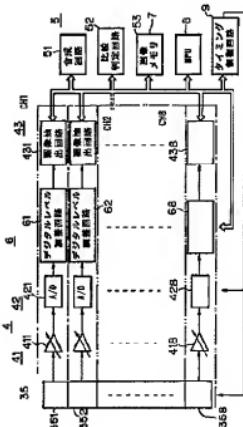
(74)代理人 弁理士 梶山 信是 (外1名)

(54)【発明の名称】 パターン検査装置のレベル調整方法

(57)【要約】

【目的】 パターン検査装置の複数の画像データチャネルの出力レベル特性を、迅速的確、かつ均一に調整する。

【構成】 各画像データチャネル (CH 1 ~ 8) に対して、デジタルレベル調整回路群 6 と画像メモリ 7、MPU 8 およびタイミング制御回路 9 をそれぞれ設け、各アンプ 411 ~ 418 のゲインを一定値とし、均一な反射率を有するテストウエハに対して光束を照射し、タイミング制御回路 9 により走査範囲を変化して、CCDイメージセンサ 35 の走査を複数回行い、各走査ごとに、CH 1 ~ 8 より出力される各テストデータを画像メモリ 7 に記憶し、MPU 8 により各テストデータのレベルの平均値を算出し、これより各 CH 1 ~ 8 の補正係数をそれぞれ求めて調整回路群 6 の各デジタルレベル調整回路 61 ~ 68 に設定する。



【特許請求の範囲】

【請求項1】 ウエハに形成された隣接する2個のICチップに光束を照射する検出光学系と、該両ICチップの配線パターンの画像を結像するCCDイメージセンサ、ならびに該CCDイメージセンサを分割した複数の受光エリアに対応するアンプ、A/D変換器および画像抽出回路による複数の画像データチャネルとを具備し、該各画像データチャネルが送出する部分的な画像データを合成して前記両配線パターンの全画像データを作成し、該合成された全画像データの両配線パターンを互いに比較して、該配線パターンの良否を判定するパターン検査装置において、前記各画像データチャネルのA/D変換器と画像抽出回路の間に接続された前記複数のデジタルレベル調整回路と、前記各画像抽出回路の出力側に、それぞれバス接続された画像メモリとマイクロプロセッサ、および前記CCDイメージセンサの走査を制御するタイミング制御回路を設け、

前記各アンプのゲインを一定値に調整し、均一な反射率を有するテストウエハに対して前記光束を照射し、前記タイミング制御回路により走査間隔を変化して、前記CCDイメージセンサの走査を複数回行い、該各走査ごとに前記各画像データチャネルより送出される各テストデータを前記画像メモリに逐次に記憶し、該記憶された各テストデータを前記マイクロプロセッサにより処理して、該各テストデータのレベルの平均値を算出し、該平均値より前記各画像データチャネルに対する補正係数をそれぞれ求めて前記各デジタルレベル調整回路に設定し、前記各画像データチャネルの出力レベル特性を均一に調整することを特徴とする、パターン検査装置のレベル調整方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パターン検査装置に構成された複数の画像データチャネルの出力レベル特性を、均一に調整する方法に関する。

【0002】

【従来の技術】 ウエハに形成されたICチップの配線パターンは、パターン検査装置によりその品質が検査される。図2(a)において、ウエハ1の表面には複数のICチップ11が格子状に形成され、各ICチップ11は同一の配線パターンPTを有する。検査においては、(a)に示した、互いに隣接する2個のICチップ11aと11bとを同時に撮像して両者のパターンPT_aとPT_bとを比較し、同一であれば両者ともに良好とし、もし相違があるときはいずれか一方、または両者が不良と判定される。

【0003】 図3は、従来から使用されているパターン検査装置の構成を示し、(a)は検出光学系3の構成図、(b)は画像抽出部4とデータ処理部5の構成図である。図3(a)において、被検査ウエハ1はXY移動ステージ

2に載置されてXまたはY方向にステップ移動する。これに對して設けた検出光学系3は、その光源31よりの光束L₁が集束レンズ32により集束され、ハーフミラー33により反射されて対物レンズ34を通過し、ウエハ1の表面の隣接した2個のICチップ11a, 11bに對して照射される。両ICチップ11a, 11bの配線パターンPT_a, PT_bの反射光L₂は、対物レンズ34とハーフミラー34を通過し、それぞれの画像がCCDイメージセンサ35に結像される。

10 【0004】 上記のCCDイメージセンサ35は、画像処理の速度を向上するために、その受光面が、図3(b)に示すように複数、例えば8個の受光エリア351～358に分割され、4個づつに配線パターンPT_aとPT_bの画像がそれぞれ結像される。図3(b)において、画像抽出部4は、アンプ群41とA/D変換器群42および画像抽出回路群43により、データ処理部5は、合成回路51と比較判定部52により構成される。アンプ群41とA/D変換器群42および画像抽出回路群43は、各8個のアンプ411～418、A/D変換器421～428、画像抽出回路431～438を有し、それぞれが8個の受光エリア351～358に対してタンドムに接続されて、画像データチャネル1～8(CH1～CH8)が構成される。各CH1～CH8においては、各受光エリア351～358の出力信号は、それぞれのアンプにより適当なレベルに調整された後、A/D変換器によりデジタル化され、画像抽出回路において両配線パターンPT_a, PT_bの部分的な画像データが抽出される。抽出された各画像データは合成回路51に入力して全体の画像データが合成され、両配線パターンPT_a, PT_bが比較判定回路52により比較され、同一であれば両者はともに良好、相違があるといはずかの一方、または両者は不良と判定し、それぞれに對してOK信号、NG信号が出力される。

20 【0005】 上記において、両ICチップ11a, 11bに照射される光束は、全域がかならずしも一様な強度でないため、CCDイメージセンサ35に結像された両配線パターンPT_a, PT_bの画像には強度ムラが生じ、また各アンプ411～418の相互間にはゲインとその直線性に偏差がありうる。これらのために合成回路52により合成した全体の画像データは、各CH1～CH8の部分的な各画像データが滑らかにならざる、比較判定回路53における比較処理に支障がある。これに對して従来は、各アンプのゲインを調整して光束強度の非一様性を補正し、各CH1～CH8の出力する部分的な各画像データのレベルが均一化されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記の各アンプ411～418のゲイン調整はかならずしも容易ではない。なぜなら、アンプの個数が多いばかりでなく、各受光エリア351～358には、それぞれの受光素子の相互間にも画像の強度ムラがあるために、CH1～CH8

が outputする各画像データを読み取ってそのレベルを比較するとしても、これらのどの部分のレベルが妥当であるか明確でない。また直線性的偏差のため、各アンプは入力信号のレベルによってゲインが変化する場合があり、いずれにしてもゲイン調整はかなり面倒である。この発明は以上に鑑みてなされたもので、パターン検査装置の各画像データチャネルの出力レベル特性を、迅速的確、かつ均一に調整するレベル調整方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は上記の目的を達成したパターン検査装置のレベル調整方法であって、前記のパターン検査装置に対して、その各画像データチャネルのA/D変換器と画像処理回路の間に接続された複数のデジタルレベル調整回路と、各画像データ回路の出力側に、それぞれバス接続された画像メモリとマイクロプロセッサ、およびCCDイメージセンサの走査を制御するタイミング制御回路を設ける。各画像データチャネルのアンプのゲインを一定値に調整し、均一な反射率を有するテストウエハに対して光束を照射する。タイミング制御回路により走査間隔を変化して、CCDイメージセンサの走査を複数回行い、各走査ごとに、各画像データチャネルより出力される各テストデータを画像メモリに逐次に記憶し、記憶された各テストデータをマイクロプロセッサにより処理して、各テストデータのレベルの平均値を算出する。平均値より各画像データチャネルに対する補正係数をそれぞれして各デジタルレベル調整回路に設定し、各画像データチャネルの出力レベル特性を均一に調整するものである。

【0008】

【作用】上記のレベル調整方法においては、各画像データチャネルのアンプのゲインを一定値に調整し、均一な反射率を有するテストウエハに対して光束を照射する。タイミング制御回路により走査間隔を変化してCCDイメージセンサを複数回走査すると、各走査ごとに、各画像データチャネルよりそれぞれテストデータが取出される。この場合、走査間隔を短い間隔から長い間隔に変えると、CCDイメージセンサの各受光素子は、受光した反射光を走査間隔に比例して蓄積するので、それぞれの出力信号の強度が変化し、もし各アンプの直線性に偏差があると、各テストデータにもレベル偏差が生ずる。このようにレベル偏差が生じた各テストデータは画像メモリに逐次に記憶され、ついでマイクロプロセッサにより処理されて、各走査に対するレベルの平均値が算出される。平均値より各画像データチャネルに対するレベル補正係数が求められ、これらが各デジタルレベル調整回路に設定されて、各画像データチャネルはそれぞれの出力レベル特性が均一に調整される。被検査ウエハの検査においては、調整された各画像データチャネルの均一な出力レベル特性により、それぞれの画像データは滑らかに

つながって全画像データが合成され、比較処理が円滑になされる。

【0009】

【実施例】図1は、この発明の一実施例を示すパターン検査装置のブロック構成図である。図1において、パターン検査装置のXY移動ステージ2と検出光学系3、画像抽出部4およびデータ処理部5は、前記した図3と同一構成であり、各構成要素は同一番号で示す。この発明においては、各画像データチャネル（C1～CH8）

- に対して、A/D変換器群42と画像抽出部43の間に、8個のデジタルレベル調整回路61～68よりなるデジタルレベル調整回路群6を設け、それぞれ図示のように接続する。また画像抽出部43に対して画像メモリ7とマイクロプロセッサ（MPU）8、およびタイミング制御回路9を設け、これらとデジタルレベル調整回路群6とを互いにバス接続し、タイミング制御回路9はCCDイメージセンサ35に接続して、その走査間隔を制御する。
- 【0010】以下、上記の構成における各CH1～CH8の出力レベルの調整方法を説明する。まず、各CH1～CH8のアンプ411～418のゲインを一定値に調整する。反射率が均一なテストウエハ（ICチップが形成されていないもの）を達成し、これをXY移動ステージ2に載せて光束を照射し、その反射光をCCDイメージセンサ35に受光する。MPU7の指示によりタイミング制御回路9を動作し、CCDイメージセンサ35の走査間隔を変化して複数回走査すると、各走査ごとに、各CH1～CH8よりレベル偏差のあるテストデータがそれぞれ出力される。各テストデータは画像メモリ7に逐次に記憶され、ついでMPU8に読み出されて処理され、各テストデータのレベルの平均値が算出される。平均値より各CH1～CH8に対するレベル補正係数が求められ、これらが各デジタルレベル調整回路61～68にそれぞれに設定されて、各CH1～CH8はそれぞれの出力レベル特性が均一に調整される。以上によりレベル調整された各CH1～CH8は、ウエハ1の検査において、均一なレベルの部分的な画像データを出力し、これらは合成回路61に入力して滑らかにつながった全画像データが合成され、比較判定回路52における比較処理が円滑になされる。上記の実施例は、CCDイメージセンサ35が8分割され、画像データチャネルが8組の場合であるが、これ以外の組数であっても、この発明のレベル調整方法はもちろん適用できる。なお、上記における各レベル補正係数を求める具体的な方法と、各デジタルレベル調整回路61～68の回路構成は、通常の技術により容易になされるので、これらの説明は省略する。

【0011】

【発明の効果】以上の説明のとおり、この発明のレベル調整方法によれば、従来とくに面倒で、容易でなかった複数の画像データチャネルは、迅速的確に均一な出力レベル特性に調整され、これにより被検査ウエハに対する

各画像データチャネルの部分的な画像データは、互いに滑らかにつながった全画像データに合成されて比較処理が円滑になれるもので、CCDイメージセンサを複数の受光エリアに分割して迅速化されたパターン検査に対して、寄与する効果が大きい。

【図面の簡単な説明】

【図1】図1は、この発明の一実施例を示すパターン検査装置のブロック構成図である。

【図2】図2はクエハ1に形成された1Cチップ11の説明図で、(a)は各1Cチップ11の配列図、(b)は検査対象の互いに隣接した2個の1Cチップ11a, 11bを示す図である。

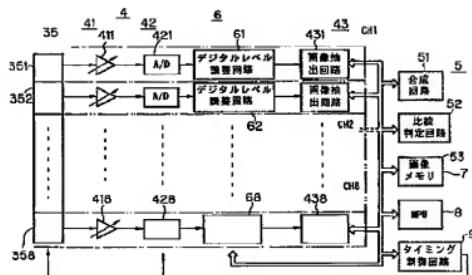
【図3】図3は、従来から使用されているパターン検査装置の構成を示し、(a)は検出光学系3の構成図、(b)は画像抽出部4とデータ処理部5の構成図である。*

*【符号の説明】

1…検査用のウェハ、11…1Cチップ、11a, 11b…隣接した1Cチップ、2…XY移動ステージ、3…検出光学系、31…光源、32…投光レンズ、33…ハーフミラー、34…対物レンズ、35…CCDイメージセンサ、4…画像抽出部、41…アンプ群、411～418…アンプ、42…A/D変換器群、421～428…A/D変換器、43…画像抽出回路群、431～438…画像抽出回路

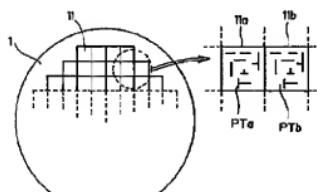
5…データ処理部、51…合成回路、52…比較判定回路、6…デジタルレベル調整回路群、61～68…デジタルレベル調整回路、7…画像メモリ、8…マイクロプロセッサ(MPU)、9…タイミング制御回路、CH1～CH8…画像データチャネル、PT…1Cチップの配線パターン。

【図1】



【図2】

(a) (b)



【図3】

